**2020년 2학기 컴퓨터 공학 실험2 기말고사**

학번 :20171645

성명 : 박찬우

주의사항

* 답안지의 글꼴 및 글자 크기를 변경하지 마세요.
* 기본설정은 글꼴 : 맑은 고딕, 글자크기 12pts 입니다.
* 답안지 양식에 맞추어 답을 작성하시면 됩니다.
* 시험이 종료된 후에는 답안지를 제출하셔야 됩니다.

**1번**

F : functional

P : programmable

G : gate logic

A : architecture

FGPA란 무엇인가 : 사용자가 논리회로를 직접 설계해 프로그래밍하고 실험할 수 있는 회로 장치를 얘기한다.

**2번**

1. Functional Architecture Design : 회로의 구성과 작동구조를 설계한다.
2. Design Entry : 구상한 내용을 바탕으로 코드를 작성한다.
3. RTL simulation : simulation 결과를 확인하고 문제가있다면 수정한다.
4. Synthesis : FPGA 회로와 연결해 작성한 코드를 입력한다.
5. FPGA Test : 실제 FPGA 회로에서 작동하는지 확인한다.

**3번**

1. : truth table 진리표
2. : Karnaugh map 카르노맵
3. :부울 연산
4. :Boolean function
5. :적은 양의 logic gate

**4번**

1. : X

(O/X)

X 일 때 이유 : 이 회로는 demux 회로이다. Mux 회로는 A,B,C,D,a,b 를 입력받아 F0를 출력하는 회로이다.

1. : X

(O/X)

X 일 때 이유 : 이 회로는 비동기 계수기(asynchronous counter)이다. Clock이 모든 회로에 동시에 가해지지 않고 앞의 FF의 출력 Q’가 다음 FF의 클럭 입력이 되므로 동기 계수기가 아니다.

1. : X

(O/X)

X 일 때 Verilog code 수정 :

…

initial begin

a=0;

b=1;

clk=0;

….

always @(posedge clk)begin

a=~a;

b=~b;

…

**5번**

코드 :

**6~8번은 Verilog code와 simulation code 작성 입니다.**

힌트: `timescale 1ns / 1ps

**6번**

**Verilog code (이 아래 줄부터 적으세요.)**

`timescale 1ns / 1ps

module inv(input a, output b);

assign b = ~a;

endmodule

**simulation code (이 아래 줄부터 적으세요.)**

`timescale 1ns / 1ps

module int\_tb;

reg aa,clk;

wire bb;

inv inv\_u(.a(aa), .b(bb));

initial begin

aa=0;

bb=0;

clk=0;

end

always clk = #50 ~clk;

always @(posedge clk)begin

aa = ~aa;

end

endmodule

**7번**

**Verilog code (이 아래 줄부터 적으세요.)**

`timescale 1ns / 1ps

module inv(input a,b,cin, output s,cout)

assign s = a ^ b ^ cin;

assign cout = a && b + (a ^ b) && cin;

endmodule

**simulation code (이 아래 줄부터 적으세요.)**

`timescale 1ns / 1ps

**module int\_tb;**

**reg aa,bb,ccin,ccout,ss;**

**wire ccout,ss;**

**inv inv\_u(.a(aa), .b(bb), .cin(ccin), .cout(ccout), .s(ss));**

**initial begin**

**aa=0;**

**bb=0;**

**ccin=0;**

**ccout=0;**

**ss=0;**

**end**

**always aa = #50 ~aa;**

**always bb = #100 ~bb;**

**endmodule**

**8번**

**Verilog code (이 아래 줄부터 적으세요.)**

`timescale 1ns / 1ps

module dff(input a, output q,qn)

if (a) begin

q=1;

qn=0;

end

else begin

q=0;

qn=1;

end

endmodule

module inv(input a,b,clk, output q1,q1n,q2,q2n)

initial begin

a=0;

b=0;

end

always @(posedge clk)begin

dff d1(a,q1,q1n);

dff d2(b,q2,q2n);

a = q1 ^ q2;

b = ~q2;

endmodule

**simulation code (이 아래 줄부터 적으세요.)**

`timescale 1ns / 1ps

**module int\_tb;**

**reg aa,bb,clk;**

**wire qq1,qq2,qq1n,qq2n;**

**inv inv\_u(.a(aa), .b(bb), .q1(qq1), .q2(qq2), .q1n(qq1n), .q2n(qq2n));**

**initial begin**

**aa=0;**

**bb=0;**

**qq1=0;**

**qq2=0’**

**qq1n=1;**

**qq2n=1;**

**clk=0;**

**end**

always clk = #50 ~clk;

**endmodule**

**-수고하셨습니다-**